

Desenvolvimento de um Simulador em Tempo Real para Sistemas Dinâmicos em FPGA

Sérgio N. Silva¹ e Marcelo A. C. Fernandes²

Departamento de Engenharia da Computação e Automação – DCA

Universidade Federal do Rio Grande do Norte – UFRN, Natal, RN, Brasil

Resumo. O desenvolvimento de novos algoritmos embarcados para automação e controle de plantas industriais requerem, na maioria das vezes, testes em tempo real. Porém, em muito dos casos as plantas reais possuem um custo elevado inviabilizando testes com novos algoritmos de controle. Assim, este artigo tem como objetivo o desenvolvimento de uma plataforma embarcada em *Field Programmable Gate Array* (FPGA), para simulação em tempo real de sistemas dinâmicos associados a plantas industriais. A plataforma chamada neste artigo de Simulador em Tempo Real para Sistemas Dinâmicos - FPGA (STRSD-FPGA) pode ser aplicada em ambientes industriais e acadêmicos. Na indústria o STRSD-FPGA poderá ser utilizado na otimização e sintonia de algoritmos de controle embarcados. No meio acadêmico será utilizado em pesquisas de novas soluções embarcadas para área de automação e controle, assim como poderá ser usado como ferramenta de apoio ao ensino de graduação e pós-graduação no desenvolvimento de projetos de sistemas embarcados de controle.

Palavras-chave. Tempo Real, Simulação, Sistemas Dinâmicos, Sistemas Embarcados, FPGA

1 Introdução

A elaboração de novos algoritmos de controle em plantas industriais possuem um custo elevado. Isso ocorre, porque para a realização de testes são necessários modelos reais em menor escala ou paradas programadas no funcionamento da planta. Esta situação justifica a necessidade de utilização de Simuladores de Tempo Real (STR) que possam representar o funcionamento dinâmico da planta e suas restrições reais de tempo. Por exemplo, a calibração de um de algoritmo de controle em sistemas de injeção de veículos automotivos requer testes em condições reais que necessitam de no mínimo dois motoristas, uma pista de prova e um veículo.

Plataformas de simulação em tempo real tem sido alvo de estudos nos últimos anos, principalmente devido ao avanço das tecnologias de hardware. Neste contexto vários trabalhos são apresentados utilizando diferentes plataformas de hardware associadas a

¹sergionatan@dca.ufrn.br

²mfernandes@dca.ufrn.br

microprocessadores (uP), microcontroladores (uC), processadores digitais de sinais (DSP - *Digital Signal Processors*) e *Field Programmable Gate Array* (FPGAs) [2,4–6]. Em [3] é apresentada uma proposta de STR de baixo custo que pode ser facilmente implementada por uP's e uC's. Todavia, um dos grandes problemas desta proposta é sua velocidade de processamento que consegue simular sistemas de baixa complexidade com restrições de tempo na ordem de segundos.

Assim, diferentemente das propostas apresentadas na literatura este trabalho tem como objetivo apresentar uma proposta de plataforma de simulação em tempo real voltada para hardware reconfigurável. A plataforma chamada aqui de STRSD-FPGA, segue a mesma estrutura apresentada em [3], porém, utiliza como módulo de processamento principal uma FPGA permitindo simulações em sistemas mais complexos com restrições de tempo na ordem de micro-segundos.

2 Arquitetura Física e Lógica do STRSD-FPGA

A Figura 1 detalha em diagrama de blocos a arquitetura do STRSD. O módulo de controle principal (MCP) acoplado a um conjunto de M módulos de aquisição de dados (MAD) e N módulos de geradores de sinais (MGS). O MCP tem a função de controlar, gerenciar e configurar a plataforma de simulação em tempo real, sendo também responsável pela entrada e saída de dados com o usuário através de algum protocolo de comunicação de dados. O MCP é implementado em uma FPGA e é diretamente responsável por configurar e executar a simulação relativa a um sistema dinâmico escolhido previamente. É nele que é feita toda a coleta de dados e o processamentos desses e posteriormente direcionados para a saída. Um MCP possui M MAD's e N MGS's associados a ele.

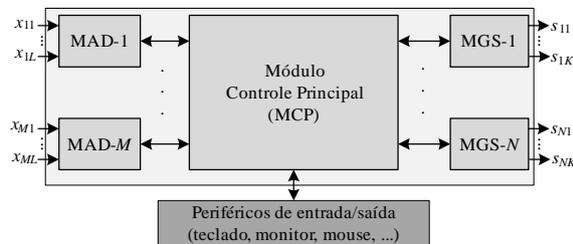


Figura 1: Arquitetura física da plataforma STRSD.

Os MAD's e os MGS's são hardwares auxiliares com a função de receber e gerar sinais relativos ao sistema dinâmico a ser simulado pelo MCP. Os MAD's e MGS's podem ser implementados, na prática, por várias plataformas de hardware como DSPs, uC e outros dispositivos que possuam entradas e saídas digitais e/ou analógicas. De acordo com a Figura 1 cada m -ésimo MAD poderá ser formado L entradas digitais e/ou analógicas e cada n -ésimo MGS será caracterizado por K saídas digitais e/ou analógicas. Cada STRSD-FPGA deve possuir pelo menos um MAD e um MGS.

A Figura 2 ilustra a arquitetura lógica do STRSD-FPGA no qual um uC embarcado

no MCP, chamada neste projeto de Aplicação Principal (AP), habilita circuitos também embarcados (na FPGA) chamado de Objetos de Sistema Dinâmico (OSD). Um OSD representa o sistema dinâmico a ser simulado em tempo real e é formado, além de outros, por 8 atributos principais expresso por $\{P, H, f(t), \mathcal{M}, \mathcal{C}, \mathcal{D}, MethodODE, t_a, L.b\}$ no qual

- P : Representa o número de entradas do sistema dinâmico.
- H : Representa o número de saídas do sistema dinâmico.
- $f(t)$: Define o sistema de equações diferenciais ordinárias (ODE) do sistema dinâmico a ser simulado em tempo real.
- \mathcal{M} : Define um conjunto de parâmetros ajustáveis associados ao sistema dinâmico.
- \mathcal{C} : Caracteriza o conjunto de códigos, os AMAD's, que serão embarcados nos MAD's associados as entradas do sistema dinâmico.
- \mathcal{D} : Caracteriza o conjunto de códigos, os AMGS's, que serão embarcados nos MGS's associados as saídas do sistema dinâmico.
- $MethodODE$: Atributo que define qual método numérico de resolução de ODE's que deverá ser utilizado na simulação de tempo real. O STRSD-FPGA poderá implementar vários métodos de resolução como os métodos de Euler, Runge-Kutta e outros [1].
- t_a : Representa o tempo de amostragem que será utilizado no processo de simulação em tempo real.
- $L.b$: Representa a resolução em ponto fixo utilizado pelo OSD. L representa o número total de bits e b representa número de bits associado a parte fracionária do total.

Um MCP possui vários circuitos de OSD embarcados que podem ser habilitados facilmente através da AP.

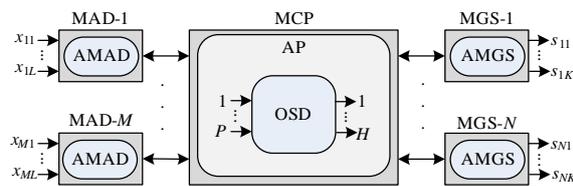


Figura 2: Arquitetura lógica da plataforma STRSD.

Diferentemente do que foi proposto em [3], onde os OSD's eram implementados em *threads*, o STRSD-FPGA implementa cada OSD em um circuito de hardware dedicado permitindo que vários OSD's possam ser executados de forma paralela e em um tempo de

amostragem bastante reduzido. A partir de um OSD construído, o tempo de amostragem, t_a , pode ser expresso por

$$t_a = t_{MAD} + t_1 + t_{TAD} + t_s + t_2 + t_{MGS}, \quad (1)$$

no qual t_{MAD} é o maior tempo de processamento associado a todos os MAD's utilizados pelo MCP, t_1 é o tempo relativo a menor taxa de transferência (em bps) entre todos os MAD's utilizados e o MCP, t_{TAD} é o tempo de processamento que corresponde ao tempo que leva para ler a informação recebida de todos os MAD's, t_s é o tempo que leva para executar a resolução da EDO, t_2 é o tempo da menor taxa de transferência (em bps) entre o MCP e os MGS's e finalmente t_{MGS} é o maior tempo de processamento associado a todos os MGS's utilizado pelo MCP.

3 Descrição do Protótipo

Objetivando validar a plataforma STRSD-FPGA foi desenvolvido um protótipo utilizando o Kit deML-605 da empresa Xilinx. Este kit possui uma FPGA Virtex-6 modelo xc6vcx240t-1ff1156 e outras funcionalidades como memória externa DDR3, conexões Gigabit Ethernet, PCI Express, USB e USART, além de outros periféricos. O MCP foi implementado na FPGA Virtex-6 com um OSD para simular modelo longitudinal de um veículo automotivo, Figura 3. O OSD foi implementado em ponto fixo utilizando $L = 32$ bits, dos quais $b = 14$ bits, foram utilizados para a parte fracionária.

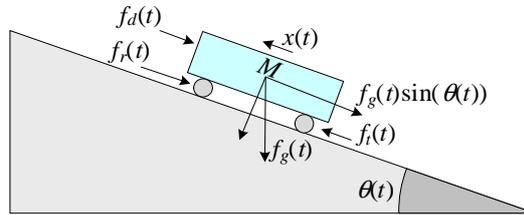


Figura 3: Esquema do modelo longitudinal do veículo.

O modelo longitudinal do veículo, pode ser descrito pela expressão

$$M \frac{dx(t)}{dt} = f_t(t) - f_a(t), \quad (2)$$

no qual M é a massa do veículo (Kg), $x(t)$ é a velocidade linear do veículo (m/s), $f_t(t)$ é a força de tração do veículo (N), e $f_a(t)$ é a força de atrito (N). A força de tração, $f_t(t)$, é expressa da seguinte forma

$$f_t(t) = \frac{\tau_m(t)}{r} \quad (3)$$

onde r é o raio da roda do veículo (m) e $\tau_m(t)$ é o torque (Nm) gerado pelo motor. A força de atrito, $f_a(t)$, pode ser expressa por

$$f_a(t) = f_d(t) + f_r(t) + f_g(t) \sin(\theta(t)), \quad (4)$$

onde $f_d(t)$ é a força de atrito aerodinâmico (N), $f_r(t)$ é a força de resistência ao rolamento (N), $f_g(t)$ é a força gravitacional (N), e $\theta(t)$ é a inclinação do plano em que o veículo esta localizado. O atrito aerodinâmico pode ser expresso por

$$f_d(t) = \frac{1}{2}\rho C_d A_{fr} x^2(t), \quad (5)$$

em que ρ é a densidade do ar, C_d é o coeficiente de arrasto aerodinâmico, e A_{fr} é a área frontal do veículo (m^2). A força de resistência de ao rolamento pode ser descrita por

$$f_r(t) = Mg (C_0 + C_1 x^2(t)), \quad (6)$$

em que C_0 e C_1 são os coeficientes de rolamento e g é a aceleração da gravidade (m/s^2). Finalmente, a força gravitacional que é dada por

$$f_g(t) = Mg. \quad (7)$$

O OSD foi implementado em ponto fixo ($L = 32$ e $b = 14$ bits) utilizando o método de Euler para resolução da EDO. Todo o desenvolvimento do protótipo foi realizado utilizando a plataforma System Generator associada a plataforma Matlab/Simulink. Nesse modelo, o torque nas rodas traseiras, $\tau_m(t)$, e a inclinação longitudinal da pista, $\theta(t)$, são os parâmetros de entrada do OSD e o parâmetro de saída é a velocidade do veículo, $x(t)$.

4 Resultados

Após o desenvolvimento do protótipo foram testados dois cenários de simulação em tempo real. No primeiro cenário as variáveis que compõem a entrada do sistema foram deixadas constantes, o torque, $\tau_m(t)$, foi fixado em 2000 N.m e o valor de $\theta(t)$ foi fixado em 0° . Já no segundo cenário o valor de $\theta(t)$ foi variado ao longo do tempo, simulando uma subida de 5° aos 50 segundos e descidas de -5° aos 150 segundos.

Os resultados, apresentados nas Figuras 4 e 5, foram comparados com simulações em tempo não real realizadas no Matlab/Simulink. O erro médio, EM , entre a resposta do STRSD-FPGA e as respostas obtidas no Matlab/Simulink para ambos os cenários é apresentado na Tabela 1. O valor do EM é definido por

$$EM = \frac{1}{N} \sum_{i=0}^{N-1} |X(i) - Y(i)| \quad (8)$$

onde, $X(i)$ é o valor da i -ésima amostra coletada do STRSD-FPGA e $Y(i)$ é o valor da simulação no Matlab/Simulink no mesmo i -ésimo instante. A variável N representa o número de amostras coletadas. Ambos referem-se ao valor da velocidade do veículo, $x(t)$. O tempo de amostragem, t_a , utilizado foi de $100 \mu s$.

Os resultados apresentados nas Figuras 4 e 5 mostram que o STRSD-FPGA obteve um excelente desempenho em ambos os cenários. Observa-se que os resultados foram muito próximos das simulações de tempo não real obtidas no Matlab/Simulink como pode ser validado pelos valores obtidos no EM apresentados na Tabela 1.

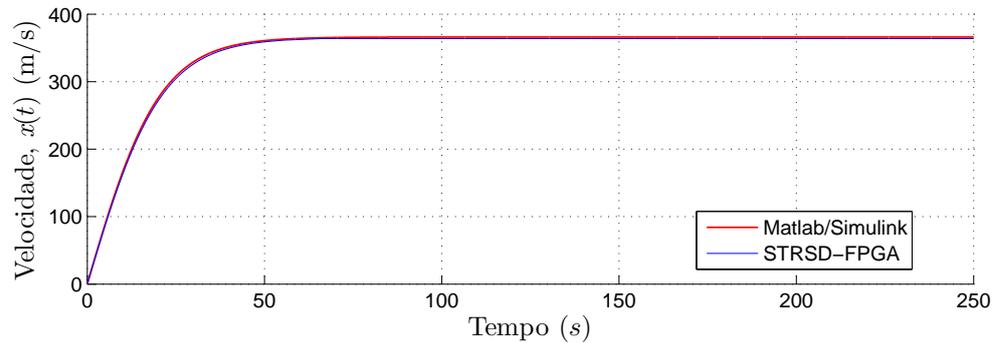


Figura 4: Cenário 1 - Torque, $\tau_m(t)$, fixado em 2000 N.m e o valor de $\theta(t)$ fixado em 0° .

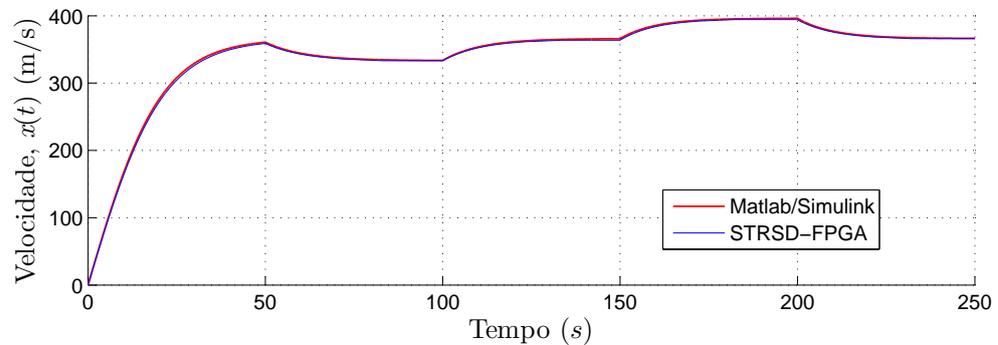


Figura 5: Cenário 2 - Torque, $\tau_m(t)$, fixado em 2000 N.m e o valor de $\theta(t)$ variando ao longo do tempo. Subida de 5° aos 50 segundos e descidas de -5° aos 150 segundos.

A Tabela 2 apresenta os resultados obtidos após o processo de síntese do STRSD-FPGA na FPGA Virtex 6. Observa-se que a ocupação espacial é pequena em torno de 1% do total, isto mostra que o STRSD-FPGA pode possuir vários OSD embarcados. Outro ponto importante a ser apresentado é o tempo mínimo de amostragem que o STRSD-FPGA pode trabalhar que é 50 ns . Este valor pode atender a simulação de sistemas dinâmicos rápidos como nano e micro robôs.

Resultados desse porte mostram que existe ainda muita capacidade no hardware trabalhado, possibilitando que sejam executados vários OSD por vez, ou um OSD que necessite de um simulador com uma granularidade de tempo baixa.

5 Conclusões

Este trabalho apresentou uma proposta de uma solução embarcada em FPGA para simulação em tempo real de sistemas dinâmicos chamada de STRSD-FPGA. A plataforma STRSD-FPGA é formada por um módulo hardware central chamado de MCP e um conjunto de módulos de hardware auxiliares chamados de MAD's e MGS's. Testes expe-

Cenários	EM	Variância
Cenário 1	5,2661	$6,9029e - 05$
Cenário 2	1,5858	$3.8962e - 05$

Tabela 1: Medidas de Similaridade entre as Simulações para os cenários 1 e 2.

Item	Utilizado	Porcentagem de uso
Número de Registradores	188	1%
Número de LUTS	3316	2%
Número de Multiplicadores	12	1%
Tempo de amostragem, t_a , mínimo	50 ns	–

Tabela 2: Análise do Netlist da plataforma

rimentais foram apresentados a partir de um protótipo desenvolvido utilizando uma FPGA Virtex-6 como MCP. Os resultados obtidos mostram que a plataforma STRSD-FPGA funciona de forma bastante adequada com erros reduzidos quando comparados a sistemas de simulação de tempo não real. O STRSD-FPGA poderá ser utilizado na otimização e sintonia de algoritmos de controle embarcados voltados para plantas industriais e como ferramenta de apoio ao ensino de graduação e pós-graduação.

Referências

- [1] J. Butcher, *Numerical Methods for Ordinary Differential Equations*, 1st ed. Wiley, 2008.
- [2] R. Champagne, L.-A. Dessaint, and H. Fortin-Blanchette, “Real-time simulation of electric drives,” *Mathematics and Computers in Simulation*, vol. 63, no. 3-5, pp. 173 – 181, 2003.
- [3] I. D. T. de Souza, S. N. Silva, R. Teles, and M. A. C. Fernandes, “Platform for real-time simulation of dynamic systems and hardware-in-the-loop for control algorithms,” *Sensors*, vol. 14, no. 10, pp. 19 176–19 199, 2014.
- [4] M. Keller and A. Kolb, “Real-time simulation of time-of-flight sensors,” *Simulation Modelling Practice and Theory*, vol. 17, no. 5, pp. 967 – 978, 2009.
- [5] M. Matar and R. Iravani, “Fpga implementation of the power electronic converter model for real-time simulation of electromagnetic transients,” *Power Delivery, IEEE Transactions on*, vol. 25, no. 2, pp. 852–860, 2010.
- [6] M. Monga, M. Karkee, S. Sun, L. KiranTondehal, B. Steward, AtulKelkar, and J. Zambreno, “Real-time simulation of dynamic vehicle models using a high-performance reconfigurable platform,” *Procedia Computer Science*, vol. 9, no. 0, pp. 338 – 347, 2012.